

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-039813

(43)Date of publication of application : 05.02.2004

(51)Int.Cl.

H01L 21/316
C23C 16/30
H01L 29/78

(21)Application number : 2002-193789

(71)Applicant : FUJITSU LTD

(22)Date of filing : 02.07.2002

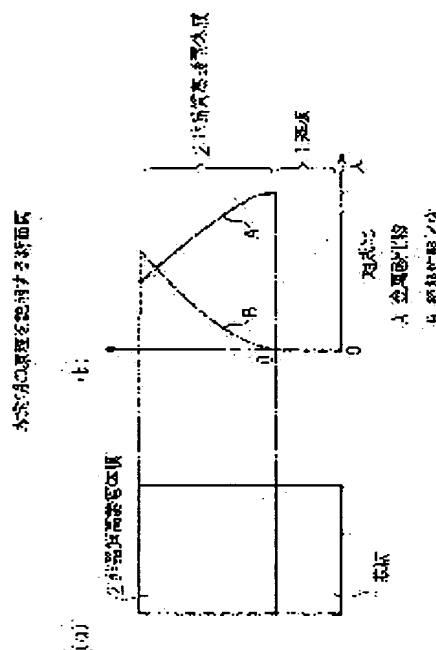
(72)Inventor : KOSAKA HIROKO
YAMAZAKI TAKAHIRO
KANEDA CHIHOKO

(54) SEMICONDUCTOR DEVICE AND DEPOSITION METHOD OF AMORPHOUS HIGH DIELECTRIC FILM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an amorphous high dielectric film without being crystallized in activation heat treatment.

SOLUTION: Composition distribution in the direction of a film thickness in the amorphous high dielectric film 2 contains more metal oxides of a high dielectric constant at a side closer to a substrate 1, and contains more insulating oxides suppressing crystallization at a side remote from the substrate 1. The insulating oxides for suppressing crystallization exist at the side remote from the substrate 1 liable to produce crystallization. The metal oxides of the high dielectric constant exist more at the side closer to the substrate 1 hard to produce crystallization, and an effective dielectric constant of the amorphous high dielectric film 2 is enhanced.



LEGAL STATUS

[Date of request for examination]

15.06.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-39813

(P2004-39813A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/316	H O 1 L 21/316 X	4 K O 3 O
C 2 3 C 16/30	C 2 3 C 16/30	5 F O 5 8
H O 1 L 29/78	H O 1 L 29/78 3 O 1 G	5 F 1 4 O

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号	特願2002-193789 (P2002-193789)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成14年7月2日(2002.7.2)	(74) 代理人	100072590 弁理士 井桁 貞一
		(72) 発明者	小坂 裕子 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	山崎 隆浩 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	金田 千穂子 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

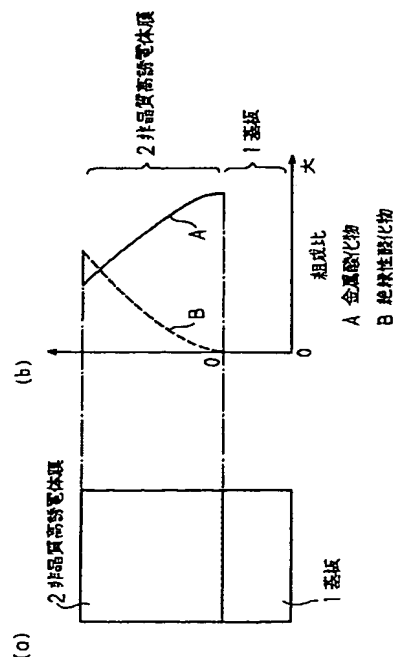
(54) 【発明の名称】 半導体装置および非晶質高誘電体膜の堆積方法

(57) 【要約】

【課題】 活性化熱処理で結晶化しない非晶質高誘電体膜を提供する。

【解決手段】 非晶質高誘電体膜2中の膜厚方向の組成分布を、基板1に近い側で高誘電率の金属酸化物を多く含有し、基板1から遠い側で結晶化を抑制する絶縁性酸化物を多く含有するようにする。結晶化が起こりやすい基板1から遠い側を、結晶化を抑制する絶縁性酸化物を多くして結晶化を抑制する。一方、結晶化しにくい基板1に近い側では、高誘電率の金属酸化物を多くして、非晶質高誘電体膜2の実効誘電率を高くする。

本発明の原理を説明する断面図



【特許請求の範囲】

【請求項1】

基板上に形成された非晶質高誘電体膜を有する半導体装置において、

該非晶質高誘電体膜は、高誘電率を有する金属酸化物と、非晶質相の結晶化温度が該金属酸化物より高温の絶縁性酸化物とを含有する混合酸化物からなり、

該非晶質高誘電体膜中の膜厚方向の組成分布は、該金属酸化物の該絶縁性酸化物に対する組成比が該基板から離れるにつれ小さくなることを特徴とする半導体装置。

【請求項2】

基板上に形成された非晶質高誘電体膜を有する半導体装置において、

該非晶質高誘電体膜は、高誘電率を有する金属酸化物と、酸化シリコン又は酸化アルミニウムとを含有する混合酸化物からなり、

該非晶質高誘電体膜中の膜厚方向の組成分布は、該金属酸化物の該酸化シリコン又は該酸化アルミニウムに対する組成比が該基板から離れるにつれ小さくなることを特徴とする半導体装置。

【請求項3】

該金属酸化物の組成比を、基板近傍では60モル%以上とし、基板から最遠では20%以下とした請求項1又は2記載の半導体装置。

【請求項4】

基板上に、高誘電率を有する金属酸化物と、非晶質相の結晶化温度が該金属酸化物より高温の絶縁性酸化物とを含有する混合酸化物からなる非晶質高誘電体膜の堆積方法において、

該非晶質高誘電体膜中の該金属酸化物の該絶縁性酸化物に対する組成比が堆積の進行と共に小さくなるように該非晶質高誘電体膜の堆積条件を変化させることを特徴とする非晶質高誘電体膜の堆積方法。

【請求項5】

該非晶質高誘電体膜の堆積は、CVD法（化学的気相堆積法）を用いることを特徴とする請求項4記載の非晶質高誘電体膜の堆積方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は高温の熱処理後も非晶質状態を保持する高誘電体膜を備えた半導体装置に関し、とくにMOSトランジスタ（MOS型電界効果トランジスタ）に使用される高誘電率のゲート絶縁膜に関する。

【0002】

【従来の技術】

微小なMOSトランジスタの高速動作及び低電圧動作を確保するため、 SiO_2 より誘電率の高い高誘電率物質をゲート絶縁膜として使用する試みがなされている。例えば、 HfO_x 、 ZrO_x 等の高誘電率金属酸化

物からなる非晶質薄膜をゲート絶縁膜とするMOSトランジスタが提案されている。

【0003】

しかし、これらの金属酸化物は、800℃以上の温度で容易に結晶化する。このため、非晶質金属酸化物をゲート絶縁膜として使用すると、ゲート絶縁膜を堆積した後、施されるソース・ドレイン領域の活性化熱処理により非晶質ゲート絶縁膜が結晶化してしまう。かかるゲート絶縁膜の結晶化は、ゲート絶縁膜の下地であるシリコン基板の表面に低誘電率の SiO_2 膜を生成させ、ゲート絶縁膜の実効膜厚を増加させる。また、結晶化はクラスタ状に起こるため、ゲート絶縁膜の電気的特性及び物理的特性の場所的なゆらぎを発生させる。このため、トランジスタの特性が安定しない。

【0004】

かかる高誘電率金属酸化物の結晶化を抑制する方法が、特開2000-12840号公報及び特開2001-77111号公報に開示されている。前者は、 $TaO_y - AlO_x$ 、 $TaO_y - SiO_x$ 、又はこれらの混合酸化物からなる非晶質薄膜をゲート絶縁膜とする。後者は、 HfO_y 又は ZrO_y と、三価の金属の酸化物、例えばAl、La又はScの酸化物との混合酸化物からなる非晶質薄膜をゲート絶縁膜とする。これらの混合酸化物からなる非晶質薄膜は、Ta、Hf又はZrの酸化物から生ずる高い誘電率を有しつつ、800℃以上の熱処理によっても結晶化を起こさない。このため、高い誘電率を有する均一なゲート絶縁膜を安定して製造することができる。

【0005】

しかし、これらの結晶化が抑制された非晶質薄膜では、高誘電率を有するTa、Hf又はZrの酸化物に、これより低誘電率の酸化物、例えば SiO_x 又は三価の金属の酸化物を混合している。このため、これらの非晶質薄膜は、Ta、Hf又はZrの酸化物のような高い誘電率を有することはできない。

【0006】

【発明が解決しようとする課題】

上述したように、従来の高誘電率を有する金属酸化物からなる非晶質高誘電体膜は、結晶化温度が低く容易に結晶化するため、ゲート絶縁膜として用いた場合にトランジスタ特性のばらつきを発生しやすいという問題があった。

また、結晶化を抑制するため金属酸化物に低誘電率の酸化物を混合した非晶質薄膜は、高い誘電率を得難いという問題がある。

【0007】

本発明は、熱処理での結晶化が抑制され、かつ高い誘電率を有する非晶質高誘電体膜を提供することを目的としている。

【0008】

【課題を解決するための手段】

上記課題を解決するための本発明の第一の構成では、基板上に形成される非晶質高誘電体膜の材料を、高誘電率を有する金属酸化物と絶縁性酸化物とを成分として含む混合酸化物とする。この混合酸化物は、金属酸化物と絶縁性酸化物とを成分とするものが好ましい。しかし、誘電体特性及び絶縁特性を満たすならば、金属酸化物と絶縁性酸化物とを主たる成分とし、他の酸化物を含ませることもできる。

【0009】

この金属酸化物として、高誘電体となる遷移金属の酸化物、例えば、比誘電率が略30の HfO_x 、12~25の ZrO_x 、25~65の Ta_2O_x 、略55の TiO_x 、若しくは100以上のBST(BiSrTi酸化物)、又はこれらを成分とする混合酸化物を用いることができる。とくに、 HfO_x 及び ZrO_x は、ゲート絶縁膜としての優れた特性を有しており好ましい。また、他の遷移金属の酸化物、例えば、 Y_2O_x 、 LaO_x 、 PrO_x 、 GdO_x 、 V_2O_x 、 Nb_2O_x 、 Cr_2O_x 、 Mo_2O_x 、若しくは WO_x 、又はこれらの混合酸化物を用いてもよい。なお、上述した非晶質の混合酸化物は、酸素濃度が化学量論的組成から30%程度ずれていてもよく、この範囲の酸素濃度を本明細書中では O_x と表記する。

【0010】

絶縁性酸化物は、非晶質高誘電体膜の絶縁特性を劣化させない程度の絶縁性を有する酸化物であって、例えば2酸化シリコン(SiO_2)、酸化アルミニウム(Al_2O_3)又は酸化窒化シリコン(SiON)を用いることができる。また、絶縁性酸化物として、非晶質相の結晶化温度が上述の非晶質金属酸化物より高い酸化物を用いてもよい。これらの絶縁性酸化物は、よく知られているように、金属酸化物との混合酸化物からなる非晶質高誘電体膜において、活性化熱処理の際に非晶質高誘電体膜の結晶化を抑制する。

【0011】

さらに本発明の第一の構成では、非晶質高誘電体膜中の組成が膜厚方向に変化する組成分布を有する。即ち、基板近傍では金属酸化物が多く絶縁性酸化物が少ない。他方、基板から離れるにつれて金属酸化物の割合が少なくなり絶縁性酸化物の割合が多くなる。

上述した本発明の構成は、本発明の発明者が明らかにした非晶質金属薄膜の結晶化に関する以下の知見に基づき発明された。

【0012】

本発明の発明者は、非晶質金属酸化膜の結晶化が基板界面から離れた位置から始まり、非晶質金属酸化膜全体に伝播することをシミュレーションにより明らかにした。以下、このシミュレーションを説明する。

図2及び図3は、それぞれシミュレーション結果断面図(その1)及び(その2)であり、基板上に堆積された非晶質金属酸化物層中の金属原子位置を表している。

【0013】

まず、図2(a)を参照して、非晶質の SiO_2 基板1上に非晶質相の金属酸化物層20を積層した分子配置を初期条件として与えた。ここでは説明を簡単にするため、金属酸化物として HfO_2 を用いたシミュレーションを説明する。次いで、金属酸化物層20が基板1と接する部分(図2(a)中のCD間)の一部を金属酸化物の結晶核21で置換する。結晶核21は、一辺が1.5nmの立方体とした。次いで、温度を1227℃に昇温して金属酸化物層20中の金属原子(ここではHf)の再配置位置を計算した。計算は分子動力学に基づくシミュレーションによりなされた。図2(b)に、昇温から320p秒間経過した後のシミュレーション結果を示す。図2(b)を参照して、金属酸化物層20中の金属原子の熱処理後の配置は、結晶核21として与えられた規則的な配列が消失し、初期条件と同様の非晶質相の配置に変化している。この結果は、基板1との界面近傍で結晶核が発生しても、この結晶核は成長せず消滅することを明らかにしている。このことは、基板近傍からは非晶質金属酸化物層20全体の結晶化につながるような結晶核の成長は起こりにくいことを示している。

【0014】

次に、図3(a)を参照して、結晶核21を基板1から1.5nm離れた位置(図3中のEF間)に配置して、熱処理後の金属原子の再配置位置を計算した。結晶核21の位置を除き、他の条件は図2を参照して説明した上述のシミュレーション条件と同様である。

図3(b)を参照して、1227℃に昇温した後320p秒経過した時には、金属酸化物層20の全体が結晶化している。この結果は、基板1との界面から離れた位置に生成した結晶核は、金属酸化物層20全体を結晶化させることを明らかにしている。

【0015】

図2及び図3を参照して説明した上述の2つのシミュレーション結果は、金属酸化物層20の結晶化は、基板1との界面から離れた位置に生成された結晶核を契機とし金属酸化物層20全体へ伝播することを示している。このとき、基板1近傍の金属酸化物層20は、本来自発的な結晶化が起こらないにもかかわらず、界面から離れた位置で始まった結晶化の伝播により結晶化してしまう。即ち、非晶質の金属酸化物層20の結晶化は、初めに基板から離れた位置で結晶化が起こり、これが伝播して全体が結晶化する。

【0016】

このように結晶核の生成位置により結晶化の進行情況が異なるのは、結晶核と接する金属酸化物のポテンシャルに関連すると本発明の発明者は考えている。

無歪み状態での結晶核及び非晶質金属酸化物のポテンシャル周期は、いずれも平均すると金属酸化物の結晶格子に近い周期を有している。従って、基板から遠いため基板との格子不整の影響が小さな位置では、金属酸化物のポテンシャル周期は結晶核のポテンシャル周期と略一致する。このため、結晶核が成長しやすく、また結晶核の生成エネルギーも小さい。

【0017】

他方、基板と金属酸化物の格子不整（非晶質では平均原子間距離の不整合を意味する。）に起因して、基板近傍の金属酸化物は大きく歪んでいる。従って、基板近傍では、結晶核のポテンシャル周期と周囲の金属酸化物とのポテンシャル周期との差が大きい。このため、結晶核の成長が阻害され、また結晶核の生成エネルギーも大きい。

【0018】

このように、基板近傍では結晶核が生成しにくく、かつ結晶核の成長も抑制される。これに対して、基板から離れた位置では、結晶核が生成しやすく、かつ容易に結晶核が成長する。このシミュレーション結果は、 HfO_x を5nmの厚さに堆積すると非晶質膜となるが、同一堆積条件で25nm堆積すると結晶質膜となるという本発明の発明者が行った実験事実をよく説明している。

【0019】

本発明は、かかる知見に基づき発明された。図1は本発明の原理を説明する断面図であり、図1(a)は基板上に形成された本発明に係る非晶質高誘電体膜を、図1(b)はその組成分布を表している。

本発明の第一の構成の非晶質高誘電体膜は、図1を参照して、基板1近傍では金属酸化物（図1(b)中の曲線Aを参照）が多く絶縁性酸化物（図1(b)中の曲線Bを参照）が少ない。従って、基板1近傍の非晶質高誘電体膜2は、高い誘電率を有する金属酸化物の組成比が大きく、高い誘電率を有する。他方、基板1から離れるにつれて金属酸化物の割合が少なくなり結晶化を抑制する絶縁性酸化物の割合が多くなる。従って、基板1から離れた位置にある非晶質高誘電体膜2の結晶化が抑制される。即ち、本構成の非晶質高誘電体膜は、結晶化を起こしやすい基板から離れた位置では誘電率の低下を許容して結晶化を抑制する組成とし、結晶化を起こしにくい基板近傍では誘電率を低下する組成を少なくして高誘電率を有する組成とする。

【0020】

かかる構成では、基板から離れた位置での結晶化の発生が抑制されるので、ここから伝播して引き起こされる非晶質高誘電体膜全体の結晶化を回避することができる。一方、基板近傍では高誘電率の組成を有するから、非晶質高誘電体膜の実効誘電率は高くなる。このような高誘電率の組成の非晶質高誘電体膜は一般的に結晶化しやすいが、本構成では基板近傍に配置されるため結晶化は十

分に抑制されている。従って、結晶化が抑制されかつ高い実効誘電率を有する非晶質高誘電体膜が提供される。

【0021】

これを従来のものと比較すると、従来の混合酸化物からなる非晶質高誘電体膜では、全体が均一な組成で構成されている。従って、従来は、基板から最も遠い位置にあり結晶化が最も起こりやすい部分でも結晶化が起こらない組成により非晶質高誘電体膜全体を構成しなければならない。このような組成は、本構成での基板から最も離れた位置の組成、即ち絶縁性酸化物が最も多くそのため誘電率が最も低い部分の組成に該当する。このため、従来の非晶質高誘電体膜の実効誘電率は本発明のものより低くなる。

【0022】

本第一の構成において、金属酸化物の組成比分布は、高い誘電率を有しかつ結晶化しにくい組成分布でなければならない。実験によれば、金属酸化物の組成比が50%、厚さ65nmの非晶質高誘電体膜は、1000℃、数秒間の熱処理により結晶化してしまう。従って、基板から離れた位置では金属酸化物の組成比は50モル%以下であることが望ましい。例えば、金属酸化物の組成比を、基板近傍で40～100モル%、より好ましくは60～100モル%とし、基板から最遠の位置で0～40モル%、より好ましくは0～20モル%とすることが好ましい。ここで、0モル%及び100モル%とは、意図的には金属酸化物を含有しない組成、及び金属酸化物以外の成分を意図的には含有しない組成との意味である。

【0023】

上述したシミュレーションは、非晶質の SiO_2 を基板としている。この基板を結晶質の SiO_2 に代えても、また結晶質の Si に代えても、同様の結果が得られた。このことは、結晶化の傾向は非晶質高誘電体膜の下地である基板の平均原子間距離に依存し、基板の結晶質と非晶質との相違は大きな影響を与えないことを示唆している。

【0024】

なお、本発明に係る該非晶質高誘電体膜は、非晶質高誘電体膜を使用する半導体装置一般に適用することができる。とくに、電界効果トランジスタのゲート絶縁膜として優れている。また、キャパシタの誘電体として使用し、リーク電流を少なくすることもできる。

【0025】

【発明の実施の形態】

本発明を、ゲート絶縁膜に適用した実施形態例の製造工程を参照して説明する。

図4は本発明の第一実施形態例断面工程図であり、MOSトランジスタの製造工程を表している。図4(a)を参照して、シリコン基板1a表面にフィールド酸化膜6により画定されたトランジスタ形成領域を形成し、そのトランジスタ形成領域に表出するシリコン基板1a表面

を酸化して、厚さ0.5~1nmのSiO₂ 薄膜1bを形成する。このSiO₂ 薄膜1bは、この上に堆積される非晶質高誘電体膜2とシリコン基板1aとの反応により、その界面に不均一な厚さのSiO₂ 層が形成されるのを防止するためのもので、その必要がなければ形成しなくてもよい。

【0026】

次いで、図4(b)を参照して、CVD法(化学的気相堆積法)を用いて、シリコン基板1a上全面に厚さ4nmの非晶質高誘電体膜2を堆積する。CVD法は、基板温度を500℃とし、Hf又はZrの原料ガスとSiO₂ 又はAl₂O₃ の原料ガスとを混合して全圧が65Paになるように供給した。ここで、Hf又はZrの原料ガスのSiO₂ 又はAl₂O₃ の原料ガスに対する混合比を、堆積が0.5nm進行するごとにHf又はZrの組成比が5%増加するように堆積の進行とともに階段状に増加した。もちろん、原料ガスの混合比の他、組成比を変化する他の方法を用いても差し支えない。

【0027】

図5は本発明の第一実施形態例組成分布図であり、非晶質高誘電体膜の組成分布を表している。上記のCVD法による非晶質高誘電体膜2の堆積の結果、図5を参照して、シリコン基板1aの表面に形成されたSiO₂ 薄膜1b上に、HfO_x 又はZrO_x とSiO₂ 又はAl₂O₃ との混合酸化物からなる非晶質高誘電体膜2が形成された。なお、図5には、説明を簡単にするためHfO_x とSiO₂ との混合酸化物のみ記載している。

【0028】

高誘電率を有する金属酸化物の成分、例えばHfO_x は、図5中の実線(イ)を参照して、基板1との界面では60モル%であり、基板1界面から離れるにつれ直線的に減少し、非晶質高誘電体膜の表面では20モル%になった。他方、結晶化を抑制する酸化物、例えばSiO₂ は、金属酸化物の分布とは逆に、40モル%から80モル%まで基板界面から離れるにつれ増加している。

【0029】

次いで、図4(c)を参照して、非晶質高誘電体膜2上にゲート電極3を形成し、ゲート電極3の外側に延在する非晶質高誘電体膜2及びSiO₂ 薄膜1bをエッチングして除去する。次いで、ゲート電極3をマスクとするイオン注入により低濃度領域4aを形成後、ゲート電極3の側壁にサイドウォール3aを形成し、イオン注入により高濃度領域4bを形成する。

【0030】

次いで、図4(d)を参照して、ランプアニールにより1000℃、10秒間の活性化熱処理を行い、イオン注入された低濃度領域4a及び高濃度領域4bを活性化して活性化された低濃度領域5a及び高濃度領域5bから

なるソース・ドレイン領域を形成する。

この工程により製造されたMOSトランジスタのゲート絶縁膜(厚さ0.5nmのSiO₂ 薄膜1bと厚さ4nmの非晶質高誘電体膜2からなる積層膜)は、高い実効誘電率を有するとともに、完全に非晶質相の状態を保持していた。

【0031】

本発明の第二実施形態例は、第一実施形態例の非晶質高誘電体膜2の製造工程をスパッタ法に変えたものである。他の製造工程は第一実施形態例と同一である。

図1(a)を参照して、第一実施形態例と同様にして、シリコン基板1a表面にSiO₂ 薄膜1bを形成する。次いで、図4(b)を参照して、スパッタ法を用いて、シリコン基板1a上全面に厚さ5nmの非晶質高誘電体膜2を堆積した。スパッタ条件は、基板温度を300℃、Arガス圧を1.0Pa、堆積初期のスパッタ電力を300Wとした。なお、Arガスに酸化性ガスを混合することが堆積膜中の酸素量を増加するために好ましい。

【0032】

ターゲットは、金属酸化物、例えばHfO₂ 又はZrO₂ の焼結板と、Al₂O₃ の焼結板又はSiO₂ の板を用いた。スパッタは、まずHfO₂ 又はZrO₂ の焼結板をターゲットとしてHfO₂ 又はZrO₂ を堆積した。次いで、HfO₂ 又はZrO₂ と、Al₂O₃ 又はSiO₂ とを、同時に又は交互にスパッタして、金属酸化物とAl₂O₃ 又はSiO₂ との混合酸化物からなる非晶質高誘電体膜2を堆積した。

【0033】

スパッタ中は、堆積が1.0nm進行するごとにHf又はZrの組成比が20%減少するように、HfO₂ 又はZrO₂ のスパッタ電力あるいはAl₂O₃ 又はSiO₂ のスパッタ電力を、それぞれ調整した。このスパッタ法による非晶質高誘電体膜の堆積の結果、シリコン基板1aの表面に形成されたSiO₂ 薄膜1b上に、HfO_x 又はZrO_x とSiO₂ 又はAl₂O₃ との混合酸化物からなる非晶質高誘電体膜2が形成された。

【0034】

高誘電率を有する金属酸化物の成分、例えばHfO_x は、基板1との界面では100モル%であり、基板1界面から離れるにつれ直線的に減少し、非晶質高誘電体膜の表面では0モル%になった。他方、結晶化を抑制する酸化物、例えばSiO₂ は、金属酸化物の分布とは逆に、0モル%から100モル%まで基板界面から離れるにつれ増加している。

【0035】

次いで、第一実施形態例と同様の工程でMOSトランジスタを制作した。このMOSトランジスタのゲート絶縁

膜は、非晶質相の状態を完全に保持していた。
上述した本明細書には、以下の付記記載の発明が含まれている。

(付記1) 基板上に形成された非晶質高誘電体膜を有する半導体装置において、
該非晶質高誘電体膜は、高誘電率を有する金属酸化物と、非晶質相の結晶化温度が該金属酸化物より高温の絶縁性酸化物とを含有する混合酸化物からなり、
該非晶質高誘電体膜中の膜厚方向の組成分布は、該金属酸化物の該絶縁性酸化物に対する組成比が該基板から離れるにつれ小さくなることを特徴とする半導体装置。

【0036】

(付記2) 基板上に形成された非晶質高誘電体膜を有する半導体装置において、
該非晶質高誘電体膜は、高誘電率を有する金属酸化物と、酸化シリコン又は酸化アルミニウムとを含有する混合酸化物からなり、
該非晶質高誘電体膜中の膜厚方向の組成分布は、該金属酸化物の該酸化シリコン又は該酸化アルミニウムに対する組成比が該基板から離れるにつれ小さくなることを特徴とする半導体装置。

【0037】

(付記3) 該金属酸化物の組成比を、基板近傍では60モル%以上とし、基板から最遠では20%以下とした付記1又は2記載の半導体装置。

(付記4) 該金属酸化物が、 HfO_x 、 ZrO_x 、 Ta_2O_x 、 TiO_x 、 Y_2O_x 、 La_2O_x 若しくは Pr_2O_x 、又はこれらの混合酸化物からなる付記1、2又は3記載の半導体装置。

【0038】

(付記5) 該金属酸化物が、 HfO_x 、 ZrO_x 若しくは TiO_x 、又はこれらの混合酸化物からなる付記1、2又は3記載の半導体装置。

(付記6) 該非晶質高誘電体膜をゲート絶縁膜とする電界効果トランジスタを備えた付記1、2、3、4又は5記載の半導体装置。

(付記7) 該基板は、シリコン基板と該シリコン基板の表面に形成された SiO_2 薄膜とを有する付記1、2、3、4、5又は6記載の半導体装置。

【0039】

(付記8) 該基板は、シリコン基板からなる付記1、2、3、4、5、6又は7記載の半導体装置。

(付記9) 基板上に、高誘電率を有する金属酸化物と、非晶質相の結晶化温度が該金属酸化物より高温の絶縁性酸化物とを含有する混合酸化物からなる非晶質高誘電体膜の堆積方法において、

該非晶質高誘電体膜中の該金属酸化物の該絶縁性酸化物に対する組成比が堆積の進行と共に小さくなるように該非晶質高誘電体膜の堆積条件を変化させることを特徴とする非晶質高誘電体膜の堆積方法。

【0040】

(付記10) 該非晶質高誘電体膜の堆積は、CVD法(化学的気相堆積法)を用いることを特徴とする付記9記載の非晶質高誘電体膜の堆積方法。

【0041】

【発明の効果】

上述したように、本発明によれば結晶化しにくかつ実効誘電率が高い誘電体膜を形成することができるので、MOSトランジスタ又はキャパシタの性能向上に寄与するところが大きい。

【図面の簡単な説明】

【図1】本発明の原理を説明する断面図

【図2】シミュレーション結果断面図(その1)

【図3】シミュレーション結果断面図(その2)

【図4】本発明の第一実施形態例断面工程図

【図5】本発明の第一実施形態例組成分布図

【符号の説明】

1 基板

1a シリコン基板

1b SiO_2 薄膜

2 非晶質高誘電体膜

3 ゲート電極

3a サイドウォール

4 イオン注入領域

4a, 5a 低濃度領域

4b, 5b 高濃度領域

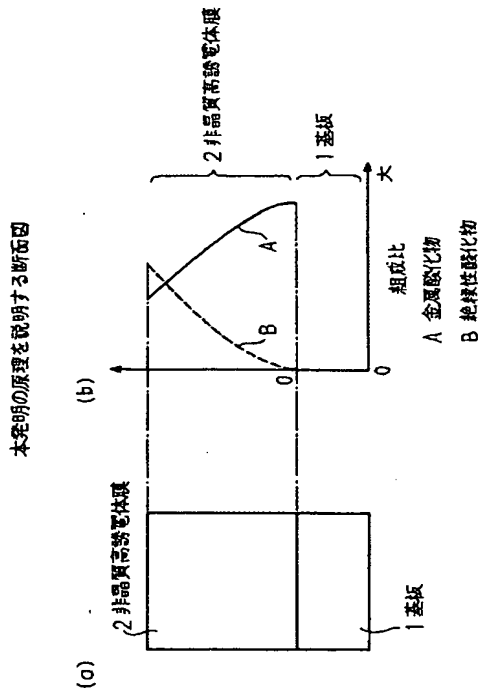
5 ソース・ドレイン領域

6 フィールド酸化膜

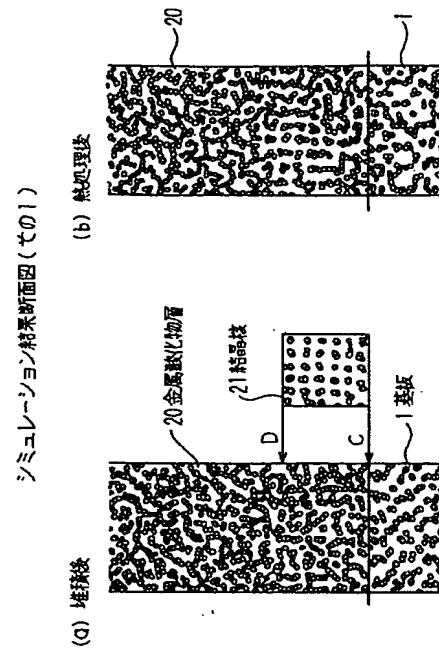
20 金属酸化物層

40 21 結晶核

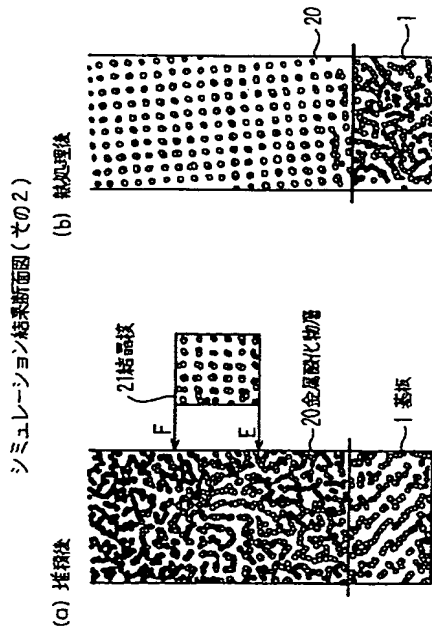
【図1】



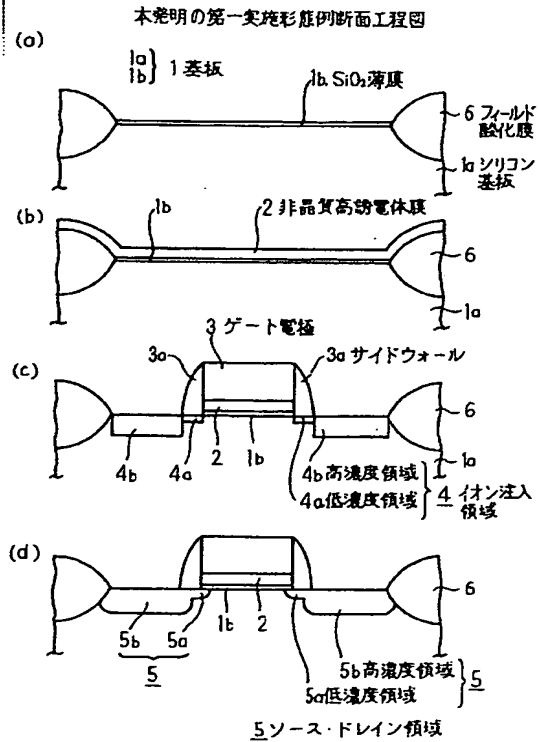
【図2】



【図3】



【図4】



フロントページの続き

F ターム(参考)	4K030	BA01	BA22	BA42	BA43	BA44	BB05	CA04	FA10	LA15	
	5F058	BA11	BC02	BC03	BC04	BD01	BD04	BD05	BD06	BF02	BF22
		BJ01	BJ02	BJ04							
	5F140	AA24	BA01	BD01	BD05	BD09	BD11	BD12	BD13	BD15	BD16
		BE07	BE09	BE10	BG08	BH15	BK02	BK13	BK21	CB01	DB00

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]

In the semiconductor device which has the amorphous high dielectric film formed on the substrate,

This amorphous high dielectric film consists of a mixed oxide containing the metallic oxide which has a high dielectric constant, and the insulating oxide of an elevated temperature [temperature / of an amorphous phase / crystallization / metallic oxide / this],

Presentation distribution of the direction of thickness in this amorphous high dielectric film is a semiconductor device characterized by becoming small as the presentation ratio to this insulating oxide of this metallic oxide separates from this substrate.

[Claim 2]

In the semiconductor device which has the amorphous high dielectric film formed on the substrate,

This amorphous high dielectric film consists of a mixed oxide containing the metallic oxide which has a high dielectric constant, and silicon oxide or an aluminum oxide,

Presentation distribution of the direction of thickness in this amorphous high dielectric film is a semiconductor device characterized by becoming small as the presentation ratio to this silicon oxide or this aluminum oxide of this metallic oxide separates from this substrate.

[Claim 3]

The semiconductor device according to claim 1 or 2 which made the presentation ratio of this metallic oxide near the substrate more than 60 mol %, and made it 20% or less by the maximum ** from the substrate.

[Claim 4]

In the deposition approach of the amorphous high dielectric film which consists of a mixed oxide containing the metallic oxide which has a high dielectric constant on a substrate, and the insulating oxide of an elevated temperature [temperature / of an amorphous phase / crystallization / metallic oxide / this],

The deposition approach of the amorphous high dielectric film characterized by changing the deposition conditions of this amorphous high dielectric film so that the presentation ratio to this insulating oxide of this metallic oxide in this amorphous high dielectric film may become small with progress of deposition.

[Claim 5]

Deposition of this amorphous high dielectric film is the deposition approach of the amorphous high dielectric film according to claim 4 characterized by using a CVD method (modified chemical vapor deposition).

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to the gate dielectric film of a high dielectric constant with which after hot heat treatment is used especially for an MOS transistor (MOS mold field-effect transistor) about the semiconductor device equipped with the high dielectric film holding an amorphous state.

[0002]

[Description of the Prior Art]

It is SiO₂ in order to secure the high-speed operation of a minute MOS transistor, and low-battery actuation. The attempt which uses the high dielectric constant matter with a high dielectric constant as gate dielectric film is made. for example, HfO_x and ZrO_x etc. -- the MOS transistor which uses as gate dielectric film the amorphous thin film which consists of a high dielectric constant metallic oxide is proposed.

[0003]

However, these metallic oxides are easily crystallized at the temperature of 800 degrees C or more. For this reason, if an amorphous substance metallic oxide is used as gate dielectric film, amorphous gate dielectric film will crystallize by heat-of-activation processing of the source drain field given after depositing gate dielectric film. Crystallization of this gate dielectric film is SiO₂ of a low dielectric constant to the front face of the silicon substrate which is the substrate of gate dielectric film. The film is made to generate and the effective thickness of gate dielectric film is made to increase. Moreover, since crystallization takes place in the shape of a cluster, the fluctuation regarding the place of the electrical characteristics of gate dielectric film and a physical characteristic is generated. For this reason, the property of a transistor is not stabilized.

[0004]

The approach of controlling crystallization of this high dielectric constant metallic oxide is indicated by JP,2000-12840,A and JP,2001-77111,A. The former uses as gate dielectric film the amorphous thin film which consists of TaOY-AlOX, TaOY-SiOX(s), or these mixed oxides. The latter is HfOY. Or ZrOY Let the amorphous thin film which consists of a mixed oxide with the oxide of the oxide of a trivalent metal, for example, aluminum and La, and Sc be gate dielectric film. The amorphous thin film which consists of these mixed oxides does not cause crystallization by heat treatment of 800 degrees C or more, either, having the high dielectric constant produced from the oxide of Ta, Hf, or Zr. For this reason, it is stabilized and the uniform gate dielectric film which has a high dielectric constant can be manufactured.

[0005]

However, it is the oxide of a low dielectric constant, for example, SiOX, from this to the oxide of Ta and Hf which have a high dielectric constant in the amorphous thin film with which these

crystallization was controlled, or Zr. Or the oxide of a trivalent metal is mixed. For this reason, these amorphous thin films cannot have a high dielectric constant like the oxide of Ta, Hf, or Zr. [0006]

[Problem(s) to be Solved by the Invention]

As mentioned above, the amorphous high dielectric film which consists of a metallic oxide which has the conventional high dielectric constant had the problem of being easy to generate dispersion in transistor characteristics, when it used as gate dielectric film, in order that crystallization temperature might crystalize easily low.

Moreover, the amorphous thin film which mixed the oxide of a low dielectric constant to the metallic oxide in order to control crystallization has the problem [dielectric constant / high] of being difficult to get.

[0007]

This invention aims at offering the amorphous high dielectric film which crystallization by heat treatment is controlled and has a high dielectric constant.

[0008]

[Means for Solving the Problem]

With the first configuration of this invention for solving the above-mentioned technical problem, it considers as the mixed oxide which contains as a component the metallic oxide which has a high dielectric constant for the ingredient of the amorphous high dielectric film formed on a substrate, and an insulating oxide. As for this mixed oxide, what uses a metallic oxide and an insulating oxide as a component is desirable. However, if a dielectric property and an insulating property are fulfilled, a metallic oxide and an insulating oxide can be used as a main component, and other oxides can also be included.

[0009]

the oxide of the transition metals which serve as a high dielectric as this metallic oxide, for example, specific inductive capacity, -- HfOx of abbreviation 30, ZrOx of 12-25, Ta₂ Ox of 25-65, and TiOx of abbreviation 55 Or the mixed oxide which makes a component 100 or more BST(s) (BiSrTi oxide) or these can be used. Especially, it is HfOx. And ZrOx It has the property which was excellent as gate dielectric film, and is desirable. Moreover, LaOx, other oxides, for example, Y₂ Ox, of transition metals, PrOx, GdOx, V₂ Ox, Nb₂ Ox, Cr₂ Ox, and Mo₂ Ox Or WOx(es) or these mixed oxides may be used. In addition, the oxygen density may shift from stoichiometric composition about 30%, and the amorphous mixed oxide mentioned above is Ox in this description about the oxygen density of this range. It writes.

[0010]

An insulating oxide is an oxide which has the insulation of extent which does not degrade the insulating property of an amorphous high dielectric film, for example, diacid-ized silicon (SiO₂), an aluminum oxide (aluminum 2O₃), or acid silicon nitride (SiON) can be used for it. Moreover, the oxide with the crystallization temperature of an amorphous phase higher than an above-mentioned amorphous substance metallic oxide as an insulating oxide may be used. These insulating oxides control crystallization of an amorphous high dielectric film in the amorphous high dielectric film which consists of a mixed oxide with a metallic oxide in the case of heat-of-activation processing as known well.

[0011]

Furthermore with the first configuration of this invention, the presentation in an amorphous high dielectric film has the presentation distribution which changes in the direction of thickness. That

is, there are many metallic oxides near the substrate and there is little insulating oxide. On the other hand, the rate of a metallic oxide decreases and the rate of an insulating oxide increases as it separates from a substrate.

The configuration of this invention mentioned above was invented based on the knowledge of the following related with crystallization of an amorphous metal thin film which the artificer of this invention clarified.

[0012]

The artificer of this invention began from the location where crystallization of an amorphous metal oxide film separated from the substrate interface, and showed clearly that it spreads to the whole amorphous metal oxide film by simulation. Hereafter, this simulation is explained.

drawing 2 and drawing 3 -- respectively -- a simulation result sectional view (the 1) -- and (the 2) -- it is -- the metal atom location in the amorphous metal oxide layer deposited on the substrate is expressed.

[0013]

First, drawing 2 (a) is referred to and it is amorphous SiO₂. The molecular arrangement which carried out the laminating of the metal oxide layer 20 of an amorphous phase was given as initial condition on the substrate 1. In order to simplify explanation here, it is HfO₂ as a metallic oxide. The used simulation is explained. Subsequently, the metal oxide layer 20 permutes a part of part (between CDs in drawing 2 (a)) which touches a substrate 1 by the crystalline nucleus 21 of a metallic oxide. One side used the crystalline nucleus 21 as the cube which is 1.5nm.

Subsequently, the relocation location of the metal atom in the metal oxide layer 20 (here Hf) was calculated by having carried out temperature up of the temperature to 1227 degrees C. Count was made by the simulation based on molecular dynamics. The simulation result after passing for 320 p seconds since temperature up in drawing 2 (b) is shown. With reference to drawing 2 (b), the regular array given as a crystalline nucleus 21 disappears, and the arrangement after heat treatment of the metal atom in the metal oxide layer 20 is changing to arrangement of the same amorphous phase as initial condition. This result shows clearly that this crystalline nucleus does not grow and disappears, even if a crystalline nucleus occurs near the interface with a substrate 1. It is shown that growth of a crystalline nucleus to which this leads to crystallization of the amorphous substance metallic-oxide layer 20 whole near the substrate cannot take place easily.

[0014]

Next, the relocation location of the metal atom after heat treatment was calculated by having arranged the crystalline nucleus 21 with reference to drawing 3 (a) in the location (between EF in drawing 3) which separated 1.5nm from the substrate 1. It is the same as that of the above-mentioned simulation conditions of having explained other conditions with reference to drawing 2 except for the location of a crystalline nucleus 21.

When 320 p seconds pass with reference to drawing 3 (b) after carrying out temperature up to 1227 degrees C, the whole metal oxide layer 20 is crystallizing. The crystalline nucleus generated in the location where this result separated from the interface with a substrate 1 shows clearly that the metal oxide layer 20 whole is crystallized.

[0015]

It is shown that two above-mentioned simulation results explained with reference to drawing 2 and drawing 3 spread crystallization of the metal oxide layer 20 to the metal oxide layer 20 whole ignited by the crystalline nucleus generated by the location distant from the interface with a substrate 1. Although crystallization with the about one-substrate metal oxide layer 20

spontaneous originally does not take place at this time, it will crystallize by propagation of crystallization which started in the location distant from the interface. That is, crystallization takes place in the location first distant from the substrate, this spreads crystallization of the amorphous metal oxide layer 20, and the whole crystallizes it.

[0016]

Thus, if that the progress situation of crystallization changes with generation locations of a crystalline nucleus relates to the potential of the metallic oxide which touches a crystalline nucleus, the artificer of this invention thinks.

If each of crystalline nuclei in an undistorted condition and potential periods of an amorphous substance metallic oxide is averaged, they has the period near the crystal lattice of a metallic oxide. Therefore, since it is far from a substrate, the effect of a stacking fault with a substrate carries out abbreviation coincidence of the potential period of a metallic oxide with the potential period of a crystalline nucleus in a small location. For this reason, a crystalline nucleus tends to grow and the generation energy of a crystalline nucleus is also small.

[0017]

On the other hand, it originated in the stacking fault (if amorphous, the mismatching of the average interatomic distance is meant.) of a substrate and a metallic oxide, and the metallic oxide near the substrate is distorted greatly. Therefore, near the substrate, a difference with the potential period of the potential period of a crystalline nucleus and a surrounding metallic oxide is large. For this reason, growth of a crystalline nucleus is checked and the generation energy of a crystalline nucleus is also large.

[0018]

Thus, near the substrate, it is hard to generate a crystalline nucleus, and growth of a crystalline nucleus is also controlled. On the other hand, in the location distant from the substrate, a crystalline nucleus grows easily that it is easy to generate a crystalline nucleus. This simulation result is HfOx. If it deposits on the thickness of 5nm, it will become the amorphous film, but if 25nm is deposited on the same deposition conditions, the experiment data which the artificer of this invention of becoming the crystalline substance film performed will often be explained.

[0019]

This invention was invented based on this knowledge. Drawing 1 is a sectional view explaining the principle of this invention, and drawing 1 (b) expresses the presentation distribution for the amorphous high dielectric film which drawing 1 (a) requires for this invention formed on the substrate.

With reference to drawing 1, there are many metallic oxides (see the curve A in drawing 1 (b)) at about one substrate, and the amorphous high dielectric film of the configuration of the first of this invention has little insulating oxide (see the curve B in drawing 1 (b)). Therefore, the about one-substrate amorphous high dielectric film 2 has the large presentation ratio of a metallic oxide which has a high dielectric constant, and it has a high dielectric constant. On the other hand, the rate of the insulating oxide which the rate of a metallic oxide decreases and controls crystallization increases as it separates from a substrate 1. Therefore, crystallization of the amorphous high dielectric film 2 in the location distant from the substrate 1 is controlled. That is, the amorphous high dielectric film of this configuration is considered as the presentation which considers as the presentation which permits decline in a dielectric constant and controls crystallization, lessens the presentation which falls a dielectric constant to a lifting near the pile

substrate in crystallization, and has a high dielectric constant in the location which is distant from a lifting or a cone substrate in crystallization.

[0020]

With this configuration, since generating of crystallization in the location distant from the substrate is controlled, crystallization of the whole amorphous high dielectric film spread and caused from here is avoidable. On the other hand, since it has the presentation of a high dielectric constant near the substrate, the effective dielectric constant of an amorphous high dielectric film becomes high. Although it is generally easy to crystallize the amorphous high dielectric film of a presentation of such a high dielectric constant, since it is arranged near the substrate, with this configuration, crystallization is fully controlled. Therefore, the amorphous high dielectric film which crystallization is controlled and has a high effective dielectric constant is offered.

[0021]

The whole is constituted from the uniform presentation in this by the amorphous high dielectric film which consists of the conventional mixed oxide as compared with the conventional thing. Therefore, the presentation from which crystallization does not arise must constitute the whole amorphous high dielectric film also from the part to which it is in the most distant location from a substrate conventionally, and crystallization tends to take place. Such a presentation corresponds to the presentation of a location which is most separated from the substrate in this configuration, i.e., the presentation of a part with the lowest dielectric constant with most [therefore] insulating oxide. For this reason, the effective dielectric constant of the conventional amorphous high dielectric film becomes lower than the thing of this invention.

[0022]

In the configuration of this first, presentation ratio distribution of a metallic oxide must be the presentation distribution which has a high dielectric constant and is hard to crystallize. According to the experiment, the presentation ratio of a metallic oxide will crystallize an amorphous high dielectric film with a thickness of 65nm by 1000 degrees C and heat treatment for several seconds 50%. Therefore, as for the presentation ratio of a metallic oxide, it is desirable that it is less than [50 mol %] in the location distant from the substrate. for example, the presentation ratio of a metallic oxide -- a near substrate -- 40-100-mol % -- it considers as 60-100-mol % more preferably, and it is desirable from a substrate to consider as 0-20-mol % more preferably in the location of the maximum ** 0-40-mol%. Here, zero-mol % and 100-mol % is semantics with the presentation which does not contain a metallic oxide intentionally, and the presentation which does not contain any components other than a metallic oxide intentionally.

[0023]

The simulation mentioned above is amorphous SiO₂. It is considering as the substrate. It is this substrate SiO₂ of a crystalline substance The same result was obtained, whether it replaces with or replaced with Si of a crystalline substance. This has suggested that the inclination of crystallization does not have effect with the big difference with the crystalline substance of a substrate, and an amorphous substance depending on the average interatomic distance of the substrate which is the substrate of an amorphous high dielectric film.

[0024]

In addition, this amorphous high dielectric film concerning this invention is applicable to the general semiconductor device which uses an amorphous high dielectric film. Especially, it excels as gate dielectric film of a field-effect transistor. Moreover, it can be used as a dielectric of a capacitor and leakage current can also be lessened.

[0025]

[Embodiment of the Invention]

This invention is explained with reference to the production process of the example of an operation gestalt applied to gate dielectric film.

Drawing 4 is example cross-section process drawing of the first operation gestalt of this invention, and expresses the production process of an MOS transistor. With reference to drawing 4 (a), the transistor formation field demarcated by field oxide 6 on the silicon substrate 1a front face is formed, the silicon substrate 1a front face expressing the transistor formation field is oxidized, and it is SiO₂ with a thickness of 0.5-1nm. Thin film 1b is formed. This SiO₂ Thin film 1b is SiO₂ of thickness uneven to that interface by the reaction of the amorphous high dielectric film 2 and silicon substrate 1a which are deposited on this. It is for preventing that a layer is formed, and it is not necessary to form without that need.

[0026]

Subsequently, with reference to drawing 4 (b), the amorphous high dielectric film 2 with a thickness of 4nm is deposited all over a silicon substrate 1a top using a CVD method (modified chemical vapor deposition). A CVD method makes substrate temperature 500 degrees C, and is the material gas of Hf or Zr, and SiO₂. Or aluminum 2O₃ It supplied so that material gas might be mixed and total pressure might be set to 65Pa. Here, it is SiO₂ of the material gas of Hf or Zr. Or aluminum 2O₃ Whenever 0.5nm of deposition advanced, the mixing ratio to material gas was increased stair-like with progress of deposition so that the presentation ratio of Hf or Zr might increase 5%. Of course, even if it uses other methods of changing a presentation ratio besides the mixing ratio of material gas, it does not interfere.

[0027]

Drawing 5 is the example presentation distribution map of the first operation gestalt of this invention, and expresses presentation distribution of an amorphous high dielectric film. SiO₂ formed in the front face of silicon substrate 1a with reference to drawing 5 as a result of deposition of the amorphous high dielectric film 2 by the above-mentioned CVD method On thin film 1b, it is HfOx. Or ZrOx SiO₂ Or aluminum 2O₃ The amorphous high dielectric film 2 which consists of a mixed oxide was formed. In addition, it is HfOx in order to simplify explanation at drawing 5 . SiO₂ Only the mixed oxide is indicated.

[0028]

The component of the metallic oxide which has a high dielectric constant, for example, HfOx, It was 60-mol %, with reference to continuous-line (b) in drawing 5 , according to the interface with a substrate 1, it decreased linearly as it separated from substrate 1 interface, and on the front face of an amorphous high dielectric film, it became 20-mol%. (On the other hand, the oxide 2 which controls crystallization, for example, SiO, With distribution of a metallic oxide, it is increasing to it as it separates from a substrate interface conversely from 40-mol % to 80-mol %.)

[0029]

Subsequently, the amorphous high dielectric film 2 and SiO₂ which form the gate electrode 3 on the amorphous high dielectric film 2, and extend on the outside of the gate electrode 3 with reference to drawing 4 (c) Thin film 1b is etched and removed. Subsequently, sidewall 3a is formed in the side attachment wall of the gate electrode 3 for low concentration field 4a after formation by the ion implantation which uses the gate electrode 3 as a mask, and high concentration field 4b is formed by the ion implantation.

[0030]

Subsequently, with reference to drawing 4 (d), the source drain field which consists of low concentration field 5a and high concentration field 5b which were activated by lamp annealing's performing 1000 degrees C and heat-of-activation processing for 10 seconds, and activating low concentration field 4a and high concentration field 4b by which the ion implantation was carried out is formed.

The gate dielectric film (SiO₂ with a thickness of 0.5nm cascade screen which consists of an amorphous high dielectric film 2 with a thin film 1b and a thickness of 4nm) of the MOS transistor manufactured according to this process held the condition of an amorphous phase thoroughly while having the high effective dielectric constant.

[0031]

The example of the second operation gestalt of this invention changes the production process of the amorphous high dielectric film 2 of the example of the first operation gestalt into a sputter. Other production processes are the same as that of the example of the first operation gestalt.

With reference to drawing 1 (a), it is SiO₂ to a silicon substrate 1a front face like the example of the first operation gestalt. Thin film 1b is formed. Subsequently, with reference to drawing 4 (b), the amorphous high dielectric film 2 with a thickness of 5nm was deposited all over the silicon substrate 1a top using the sputter. Sputter conditions set substrate temperature 300 degrees C, and set sputter power 1.0Pa and in early stages of deposition to 300W for Ar gas pressure. In addition, since mixing a oxidizing gas increases the amount of oxygen in the deposition film to Ar gas, it is desirable.

[0032]

A target is a metallic oxide 2, for example, HfO. Or ZrO₂ A sintering plate and aluminum 2O₃ A sintering plate or SiO₂ The plate was used. A sputter is HfO₂ first. Or ZrO₂ It is HfO₂, using a sintering plate as a target. Or ZrO₂ It deposited. Subsequently, HfO₂ Or ZrO₂ aluminum 2O₃ Or SiO₂ A sputter is carried out by turns simultaneous and they are a metallic oxide and aluminum 2O₃. Or SiO₂ The amorphous high dielectric film 2 which consists of a mixed oxide was deposited.

[0033]

During a sputter, it is HfO₂ so that the presentation ratio of Hf or Zr may decrease 20%, whenever 1.0nm of deposition advances. Or ZrO₂ Sputter power or aluminum 2O₃ Or SiO₂ Sputter power was adjusted, respectively.

SiO₂ formed in the front face of silicon substrate 1a as a result of deposition of the amorphous high dielectric film by this sputter On thin film 1b, it is HfO_x. Or ZrO_x SiO₂ Or aluminum 2O₃ The amorphous high dielectric film 2 which consists of a mixed oxide was formed.

[0034]

The component of the metallic oxide which has a high dielectric constant, for example, HfO_x, It was 100-mol %, according to the interface with a substrate 1, it decreased linearly as it separated from substrate 1 interface, and on the front face of an amorphous high dielectric film, it became zero-mol%. (On the other hand, the oxide 2 which controls crystallization, for example, SiO, With distribution of a metallic oxide, it is increasing to it as it separates from a substrate interface conversely from zero-mol % to 100-mol %.)

[0035]

Subsequently, the MOS transistor was made at the same process as the example of the first operation gestalt. The gate dielectric film of this MOS transistor held the condition of an

amorphous phase thoroughly.

Invention following given in an additional remark is included in this description mentioned above.

(Additional remark 1) In the semiconductor device which has the amorphous high dielectric film formed on the substrate,

This amorphous high dielectric film consists of a mixed oxide containing the metallic oxide which has a high dielectric constant, and the insulating oxide of an elevated temperature [temperature / of an amorphous phase / crystallization / metallic oxide / this],

Presentation distribution of the direction of thickness in this amorphous high dielectric film is a semiconductor device characterized by becoming small as the presentation ratio to this insulating oxide of this metallic oxide separates from this substrate.

[0036]

(Additional remark 2) In the semiconductor device which has the amorphous high dielectric film formed on the substrate,

This amorphous high dielectric film consists of a mixed oxide containing the metallic oxide which has a high dielectric constant, and silicon oxide or an aluminum oxide,

Presentation distribution of the direction of thickness in this amorphous high dielectric film is a semiconductor device characterized by becoming small as the presentation ratio to this silicon oxide or this aluminum oxide of this metallic oxide separates from this substrate.

[0037]

(Additional remark 3) A semiconductor device the additional remark 1 which made the presentation ratio of this metallic oxide near the substrate more than 60 mol %, and made it 20% or less by the maximum ** from the substrate, or given in two.

(Additional remark 4) This metallic oxide is HfOx, ZrOx, Ta₂ Ox, TiOx, Y₂ Ox, and La₂ Ox. Or semiconductor device of the additional remarks 1 and 2 or 3 publications it is unstated from Pr₂ Ox(es) or these mixed oxides.

[0038]

(Additional remark 5) This metallic oxide is HfOx and ZrOx. Or semiconductor device of the additional remarks 1 and 2 or 3 publications it is unstated from TiOx(es) or these mixed oxides.

(Additional remark 6) A semiconductor device the additional remarks 1, 2, 3, and 4 equipped with the field-effect transistor which uses this amorphous high dielectric film as gate dielectric film, or given in five.

(Additional remark 7) This substrate is SiO₂ formed in the front face of a silicon substrate and this silicon substrate. Semiconductor device the additional remarks 1, 2, 3, 4, and 5 which have a thin film, or given in six.

[0039]

(Additional remark 8) This substrate is the semiconductor device of the additional remarks 1, 2, 3, 4, 5, and 6 or 7 publications it is unstated from a silicon substrate.

(Additional remark 9) In the deposition approach of the amorphous high dielectric film which consists of a mixed oxide containing the metallic oxide which has a high dielectric constant on a substrate, and the insulating oxide of an elevated temperature [temperature / of an amorphous phase / crystallization / metallic oxide / this],

The deposition approach of the amorphous high dielectric film characterized by changing the deposition conditions of this amorphous high dielectric film so that the presentation ratio to this insulating oxide of this metallic oxide in this amorphous high dielectric film may become small

with progress of deposition.

[0040]

(Additional remark 10) Deposition of this amorphous high dielectric film is the deposition approach of the amorphous high dielectric film the additional remark 9 publication characterized by using a CVD method (modified chemical vapor deposition).

[0041]

[Effect of the Invention]

Since a dielectric film with a high effective dielectric constant can be formed that it is hard to crystallize according to this invention as mentioned above, the place which contributes to the improvement in the engine performance of an MOS transistor or a capacitor is large.

[Brief Description of the Drawings]

[Drawing 1] The sectional view explaining the principle of this invention

[Drawing 2] Simulation result sectional view (the 1)

[Drawing 3] Simulation result sectional view (the 2)

[Drawing 4] Example cross-section process drawing of the first operation gestalt of this invention

[Drawing 5] The example presentation distribution map of the first operation gestalt of this invention

[Description of Notations]

1 Substrate

1a Silicon substrate

1b SiO₂ Thin film

2 Amorphous High Dielectric Film

3 Gate Electrode

3a Sidewall

4 Ion-Implantation Field

4a and 5a Low concentration field

4b and 5b High concentration field

5 Source Drain Field

6 Field Oxide

20 Metal Oxide Layer

21 Crystalline Nucleus

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view explaining the principle of this invention

[Drawing 2] Simulation result sectional view (the 1)

[Drawing 3] Simulation result sectional view (the 2)

[Drawing 4] Example cross-section process drawing of the first operation gestalt of this invention

[Drawing 5] The example presentation distribution map of the first operation gestalt of this invention

[Description of Notations]

1 Substrate
1a Silicon substrate
1b SiO₂ Thin film
2 Amorphous High Dielectric Film
3 Gate Electrode
3a Sidewall
4 Ion-Implantation Field
4a and 5a Low concentration field
4b and 5b High concentration field
5 Source Drain Field
6 Field Oxide
20 Metal Oxide Layer
21 Crystalline Nucleus